

F01E00362

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-032409

(43)Date of publication of application : 02.02.1996

(51)Int.Cl.

H03H 17/06

H03H 17/02

(21)Application number : 06-181878

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 11.07.1994

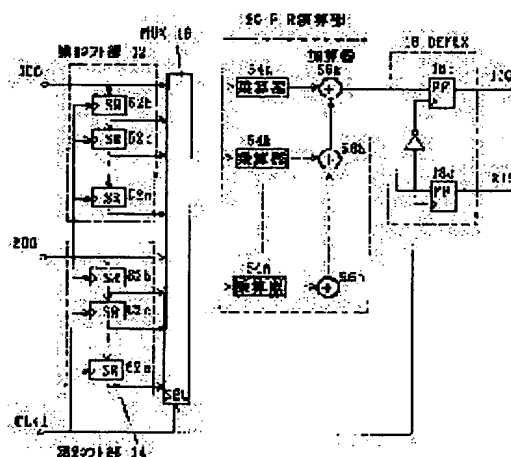
(72)Inventor : NISHITANI SHINGO
MUTO MASAHIKO

(54) DIGITAL FIR FILTER CIRCUIT

(57)Abstract:

PURPOSE: To reduce the circuit scale and to form the digital FIR filter circuit inexpensively by filtering signals of plural channels under the same filter condition by executing a common circuit part in time division so as to reduce the circuit scale.

CONSTITUTION: The filter circuit is provided with M channels of shift sections 12 each shifting a digital input signal by n-stages and providing shifted data of each stage to a multiplexer 16, with the multiplexer 16 receiving the shifted data of each stage from the M channels of the shift sections 12, selecting data of any channel and providing an output in M-time division, with an FIR arithmetic section 20 receiving a signal from the multiplexer 16, executing the multiplication and the addition of the FIR filter and providing an output, and with a demultiplexer 18 receiving the M-channel time division data from the FIR arithmetic section 20 and providing an output to each channel.



LEGAL STATUS

[Date of request for examination] 06.03.2001

[Date of sending the examiner's decision of rejection] 10.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

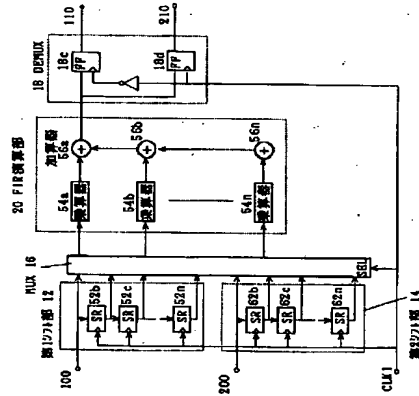
(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号
 特開平8-32409
 (43) 公開日 平成8年(1996)2月2日

(5) Int.Cl. ⁸		識別記号	特許庁	特許庁
H 03 H	17/06	Z 8842-5 J		
	17/02	E 8842-5 J		
(2) 出願番号		特開平6-181878	(71) 出願人	380005175
(22) 出願日		平成6年(1994)7月11日	株式会社アドバンテスト	
			東京都港区新橋1丁目32番1号	
			西谷 新橋	
			東京都港区新橋1丁目32番1号	
			社アドバンテスト内	
			武蔵 野暮	
			東京都港区新橋1丁目32番1号	
			社アドバンテスト内	

(54) 【発明の名称】 デジタルFIRフィルタ回路

(57) 【要約】
 【目的】 本発明は、複数のチャネルを同一フィルタ条件でフィルタするデジタルFIRフィルタ回路において、共通回路部分を時分割して実行させることで、回路規模を縮小し、回路を安価に構成することを目的とする。

【構成】 デジタル入力信号をn段シフトして、各段のシフトデータをマルチプレクサ16に供給するシフト部12をMチャネル設け、Mチャネルのシフト部12から各段のシフトデータを受けて、何れか1チャネルのデータを選択してM時分割で出力するマルチプレクサ16を設け、マルチプレクサ16からの信号を受けて、FIRフィルタの乗算と加算を実行して出力するFIR演算部20を設け、FIR演算部20からのMチャネルのM時分割データを受けて、各チャネルに再生出力するマルチプレクサ18を設ける構成手段。



【請求項1】 複数のMチャネルのデジタル入力信号を、同一条件のフィルタ条件でフィルタ処理して出力するデジタルFIR (Finite impulse response) フィルタ回路において、
 デジタル入力信号をn段シフトして、各段のシフトデータをマルチプレクサ (16) に供給するシフト部 (12) をMチャネル設け、
 当該Mチャネルのシフト部 (12) から各段のシフトデータを受けて、何れか1チャネルのデータを選択してM時分割で出力するマルチプレクサ (16) を設け、
 当該マルチプレクサ (16) からの信号を受けて、FIRフィルタの乗算と加算を実行して出力するFIR演算部 (20) を設け、
 当該FIR演算部 (20) からのMチャネルの時分割データを受けて、各チャネルに再生出力するマルチプレクサ (18) を設け、
 以上を具備していることを特徴としたデジタルFIRフィルタ回路。
 【請求項2】 請求項1記載の構成手段に加えて、
 マルチプレクサ (16) から各段のシフトデータを受け、絶対値演算を実行してFIR演算部 (20) に供給する絶対値部 (32) を設け、
 以上を具備していることを特徴としたデジタルFIRフィルタ回路。
 【発明の詳細な説明】
 【0001】
 【産業上の利用分野】 この発明は、2チャネル以上のデジタル信号を同一条件のフィルタ特性でフィルタして出力するデジタルFIRフィルタ回路に関する。
 【0002】
 【従来の技術】 計測器等で用いられるフィルタ回路は、アナログ回路で構成するよりも極めて精度の良いフィルタ特性が容易に得られる為、また、フィルタ条件の設定を変えることで、任意のフィルタ特性を持たせることができる特徴がある為、デジタル方式で回路を構成する場合が多くなっている。
 【0003】 従来技術の2チャネルのデジタル信号をデジタル的に演算手段によりフィルタするFIRフィルタ回路 (非巡回型デジタルフィルタ) について、図4を参照して説明する。回路構成は、第1フィルタ演算部50と、第2フィルタ演算部60とで構成されている。第1フィルタ演算部50は、シフトレジスタ (SR) 52b～52nと、乗算器54a～54nと、加算器56a～56nとで構成されている。この回路構成は、一般的なFIRフィルタを実現する回路構成例である。第2フィルタ演算部60は、第1フィルタ演算部50の構成内容と同様である。
 【0004】 第1入力データ100、第2入力データ200のビット長は、利用する回路によっても異なるが、例えば8～16ビット長が使用されている。シフトレジスタ52b～52nは、単位遅延素子として機能し、単クロックCLK1を単位時間として、これに同期して入力データ100をシフトレジスタ52bから52nへ順次シフトしていく。このクロック周波数は、例えば数MHz～数十MHzで動作させている。また、シフトレジスタ52b～52nの段数は、デジタルフィルタが必要とする精度によっても異なるが例えば10～30段程度の段数が使用される。
 【0005】 乗算器54a～54nは、シフトレジスタ52b～52n後の各々の出力データを受けて、乗算器54a～54nの乗算器56a～56nには各乗算器毎に内蔵している乗算パラメータレジスタ55a～55nからのデータを入力し、両者を乗算した後、所望の有効データデータを各々の乗算器56a～56nに供給している。ここで、デジタルFIRフィルタとして機能させる為には、各乗算パラメータレジスタ55a～55nには、フィルタ条件に対応して個別の乗算パラメータ値を予め設定しておく。また、本実施例では、同一フィルタ条件で使用する場合は、第1フィルタ演算部50、第2フィルタ演算部60とも同一パラメータを設定しておく。加算器56a～56nは、前記乗算器54a～54nで求めた有効データ全部を加算して出力データ110、210としている。
 【0006】 上記説明のように、多ビット長のデータで、かつ多数の乗算器と加算器でデジタルFIRフィルタ回路を構成する為には、LSIで実現しても大規模な回路となってしまう。
 【0007】
 【発明が解決しようとする課題】 上記説明のように、2チャネル以上のデジタル信号を同一フィルタ条件でフィルタ処理して出力するデジタルFIRフィルタ回路においては、チャネル数に比例して回路が増加し、多ビット長で多数の乗算器と加算器を必要としている為回路規模が大規模となってしまう課題があった。
 【0008】 そこで、本発明が解決しようとする課題は、複数のチャネルを同一フィルタ条件でフィルタする場合においては、共通回路部分を時分割して実行させることで、回路規模を縮小し、回路を安価に構成することを目的とする。
 【0009】
 【課題を解決するための手段】 第1図は、本発明による第1の解決手段を示している。上記課題を解決するためには、本発明の構成では、デジタル入力信号をn段シフトして、各段のシフトデータをマルチプレクサ16に供給するシフト部12をMチャネル設け、Mチャネルのシフト部12から各段のシフトデータを受けて、何れか1チャネルのデータを選択してM時分割で出力するマルチプレクサ16を設け、マルチプレクサ16からの信号を受けて、FIRフィルタの乗算と加算を実行して出

力するFIR演算部20を設け、FIR演算部20からのMチャネル時分割データを受けて、各チャネルに再生出力するマルチプレクサ18を設ける構成手段に於いて、これにより、複数チャネルのデジタル入力信号を、同一のフィルタ条件でフィルタ演算するデジタルFIRフィルタ回路は、1つのFIR演算部20で回路を共通化できる。

【0010】第2図は、本発明による第2の解決手段を示している。上記課題を解決するために、本発明の構成では、上記構成手段に追加して、マルチプレクサ16から各段のシフトデータを受けて、絶対値演算を実行してFIR演算部20に供給する絶対値部32を設ける構成手段にする。

【0011】
【作用】マルチプレクサ16は、複数チャネルのシフト部12、14からのデータを時分割してFIR演算部20に供給する作用がある。マルチプレクサ18は、FIR演算部20からの時分割演算結果を受けて、対応したチャネルのデータに再生出力する作用がある。マルチプレクサ16とマルチプレクサ18により、1つのFIR演算部20で時分割演算する働きを持つ。

【実施例】

【実施例1】本発明の実施例は、2チャネルのデジタルFIRフィルタ回路を時分割で動作させて、乗算器回路と加算器回路を共用した場合の例である。これについて、図1を参照して説明する。回路構成は、第1シフト部12と、第2シフト部14と、マルチプレクサ(MUX)16と、FIR演算部20と、マルチプレクサ18とで構成している。第1シフト部12は、シフトレジスタ(SR)52b～52nで構成されている。第2シフト部14は、シフトレジスタ(SR)62b～62nで構成している。FIR演算部20は、乗算器54a～54nと、加算器56a～56nとで構成されている。本構成は、FIR演算部20を時分割動作させて共通に使用するように構成している。

【0013】第1シフト部12は、第1チャネル側の入力データ100を受けて、CLK1に同期してシフトレジスタ52bから52nへ順次シフトしていく。同様、第2シフト部14は、第2チャネル側の入力データ200を受けて、CLK1に同期してシフトレジスタ62bから62nへ順次シフトしていく。

【0014】マルチプレクサ16は、第1シフト部12側のデータから第2シフト部14側のデータかを選択して、シフトレジスタの各データに対応するFIR演算部20に時分割データとして供給するものである。CLK1信号は、この為の選択信号であり、CLK1がレベルのときは第1シフト部12の入力データ100を出力し、CLK1がローレベルのときは第2シフト部14の入力データを出力する。

【0015】FIR演算部20は、前記マルチプレクサ16からの各シフトレジスタのデータを受けて、従来の説明と同様に、乗算と加算によりFIRフィルタ演算を実施した後、マルチプレクサ18に供給している。

【0016】マルチプレクサ18は、前記演算結果の時分割データを受けて、第1、第2チャネルのデータを各ラッチして再生出力する。この為、プリンプ・フロップ18cは、CLK1の立ち下がりエッジで入力データをラッチ出力する。他方、プリンプ・フロップ18dは、CLK1の立ち上がりエッジで入力データをラッチ出力する。上記回路構成によって、回路規模の大部分を占めている多数の乗算器と加算器を半数にすることができ、全体としても回路規模がほぼ半減できる。ここで、FIR演算部20が従来の2倍の速度で演算を実行する必要があるが、最近の高速デバイスにより容易に見できる。

【0017】(実施例2) 本発明の実施例は、デジタル無線通信のε/4DQPSK変調器に使用する2チャネルのローカルオフフィルタを、本発明の2チャネルのデジタルFIRフィルタ回路で構成した場合の例である。これについて、図2を参照して説明する。回路構成は、第1シフト部12と、第2シフト部14と、マルチプレクサ16と、絶対値部32と、FIR演算部20と、マルチプレクサ18と、変調器34とで構成している。この構成で、第1シフト部12、第2シフト部14、マルチプレクサ16、FIR演算部20、マルチプレクサ18は、実施例1と同様である。

【0018】入力データ100、200は、直交変調する為の実数部と虚数部のデータである。絶対値部32は、マルチプレクサ16から信号を受けて、絶対値化してFIR演算部20に供給している。変調器34は、フィルタ後の2つの信号を受けて、直交変調して変調波信号を出力している。この例では、フィルタ特性の良否で、変調精度が左右され、また、変調波の側波帯をフィルタする帯域圧縮フィルタである為デジタルフィルタが使用されている。

【0019】(実施例3) 本発明の実施例は、4チャネルのデジタルFIRフィルタ回路を構成した場合の例である。これについて、図3を参照して説明する。回路構成は、第1シフト部12と、第2シフト部14と、第3シフト部13と、第4シフト部15と、マルチプレクサ16aと、FIR演算部20と、マルチプレクサ18aと、クロック分周部19で構成している。この構成で、第1シフト部12、第2シフト部14、第3シフト部13、第4シフト部15、FIR演算部20は、実施例1と同様である。

【0020】クロック分周部19は、4時分割動作のタミングを発生する部分である。入力CLK1を1/2分周器で1/2分周した信号CLK2を出力する。このCLK1、CLK2をマルチプレクサ16aとマルチプレクサ18aに供給している。

プレクサ18aに供給している。

【0021】マルチプレクサ16aは、第1シフト部12側のデータか、第2シフト部14側のデータか、第3シフト部13側のデータか、第4シフト部15側のデータかの何れかを選択して、シフトレジスタの各データに対応するFIR演算部20に時分割データとして供給するものである。CLK1、CLK2信号は、選択信号であり、4つの入力データの何れかを選択して出力する。【0022】マルチプレクサ18aは、FIR演算部20からの加算結果データの4時分割データを受けて、第1、第2、第3、第4データを各ラッチして再生出力する。この為、CLK1、CLK2信号を受けて、デコードしてこのマルチプレクサ18a内の対応するチャネルのプリンプ・フロップにラッチ用クロックを供給して時分割データを再生出力する。

【0023】上記実施例1、3では、2チャネルあるいは4チャネル入力を時分割してFIRフィルタした後出力するように構成していたが、他のMチャネルの時分割でも同様にして実施することができる。

【0024】
【発明の効果】本発明は、以上説明したように構成されているので、下記に記載されるような効果を奏する。マルチプレクサ16とマルチプレクサ18により、1つのFIR演算部20で時分割で演算させることができ、これにより、大規模な回路が必要とするFIR演算部20を1つで構成すれば良い為、回路規模をほぼ半減することのできる効果が得られる。例えばLSI化する場合には、敷設ゲート以上に必要となる為、使用ゲート数の低減効果は極めて有効である。

【0025】

【図面の簡単な説明】

【図1】 本発明の、2チャネルのデジタルFIRフィルタ回路において、乗算器と加算器を時分割動作により共用した場合の回路構成例である。

【図2】 本発明の、デジタル無線通信のε/4DQPSK変調器に使用する2チャネルのローカルオフフィルタを、乗算器と加算器回路部分を時分割動作により共用した場合の回路構成例である。

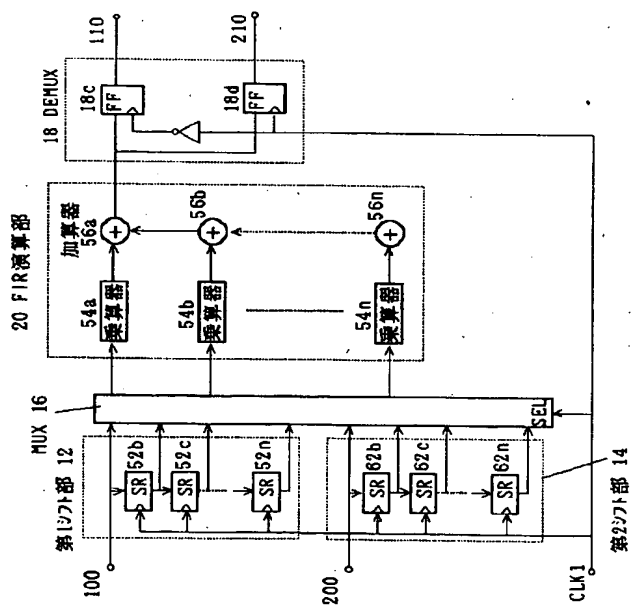
【図3】 本発明の、4チャネルのデジタルFIRフィルタ回路を構成する場合の回路構成例である。

【図4】 従来の、2チャネルのデジタル信号をフィルタするFIRフィルタ回路構成図である。

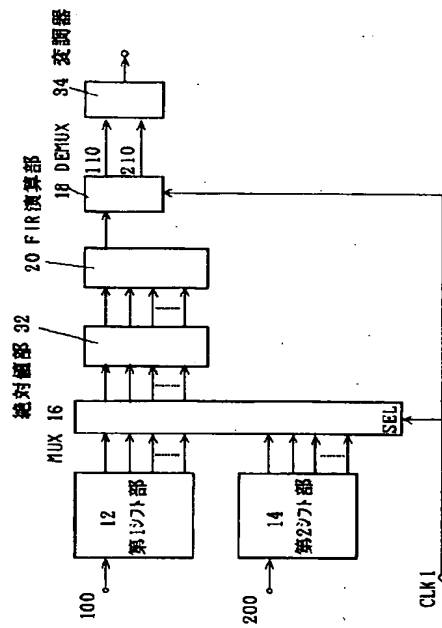
【符号の説明】

12 第1シフト部
13 第3シフト部
14 第2シフト部
15 第4シフト部
16、16a マルチプレクサ(MUX)
18、18a マルチプレクサ(DEMUX)
18c、18d フリップ・フロップ(FF)
19 クロック分周部
20 FIR演算部
32 絶対値部
34 変調器
50 第1フィルタ演算部
52b、52n、62b、62n シフトレジスタ(SR)
54a、54n 乗算器
56a、56n 加算器
60 第2フィルタ演算部
100、200 入力データ
110、210 出力データ

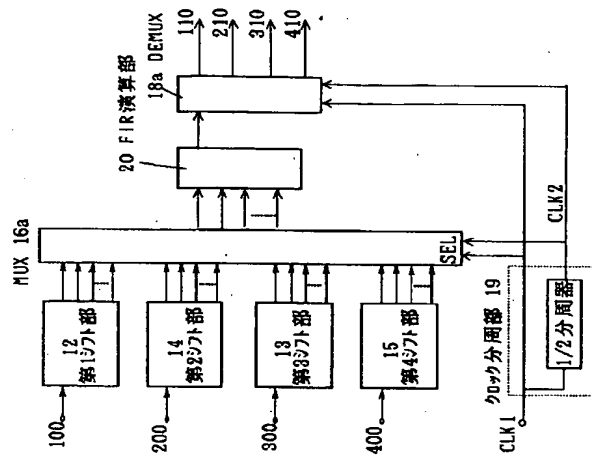
【図1】



【図2】

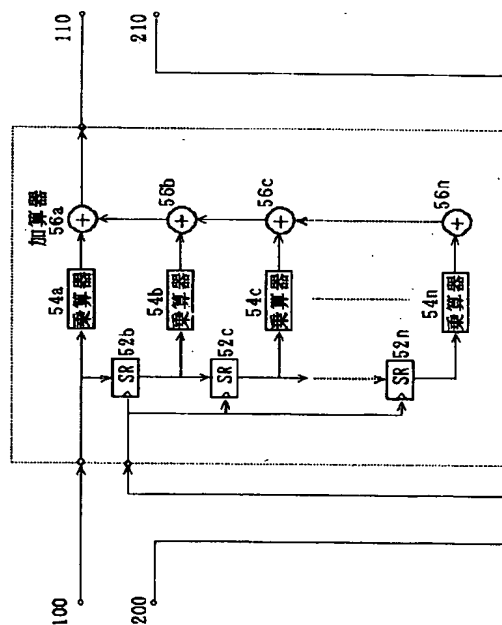


【図3】



【図4】

50 第1つの演算部



60 第2つの演算部

